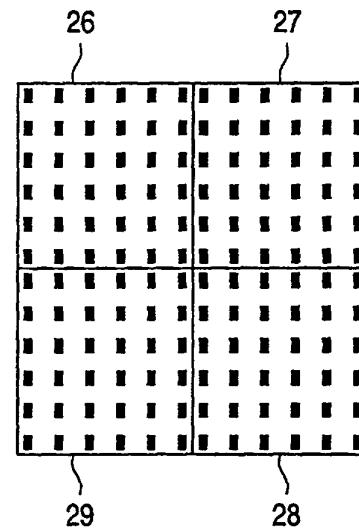
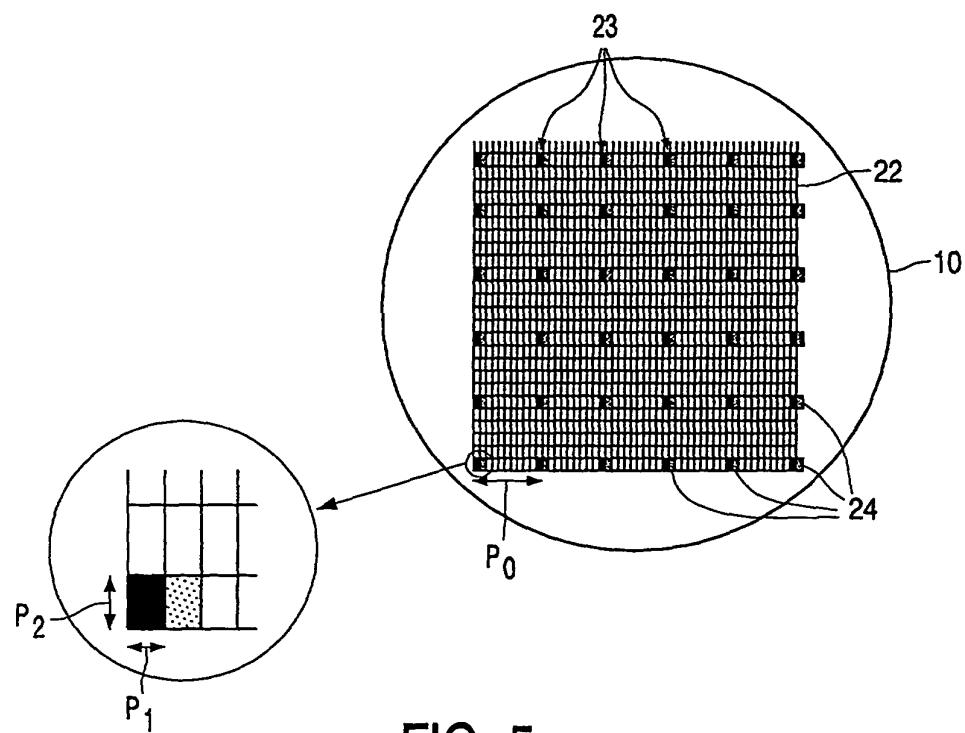


3/4



4/4

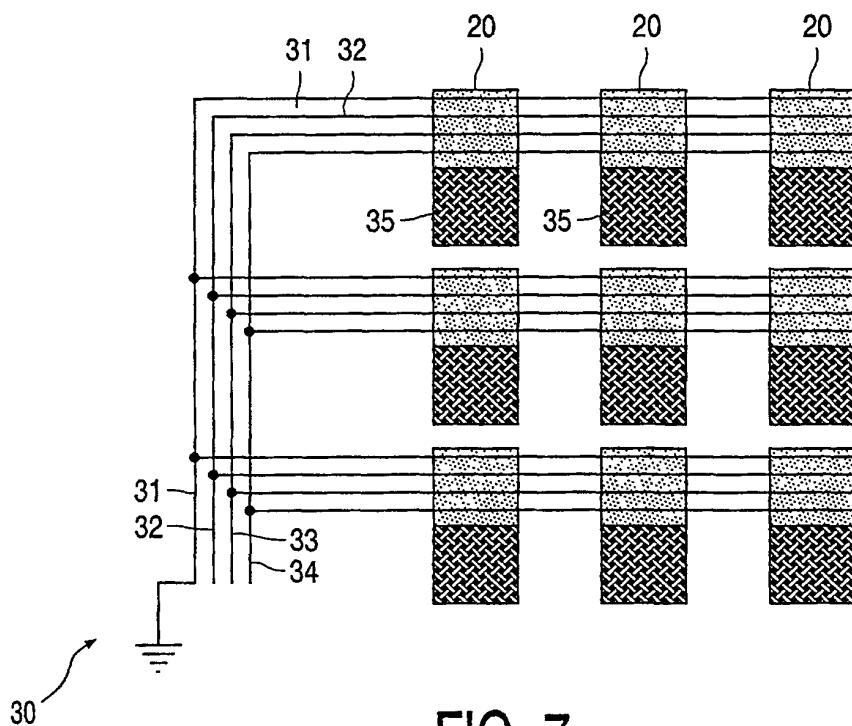


FIG. 7

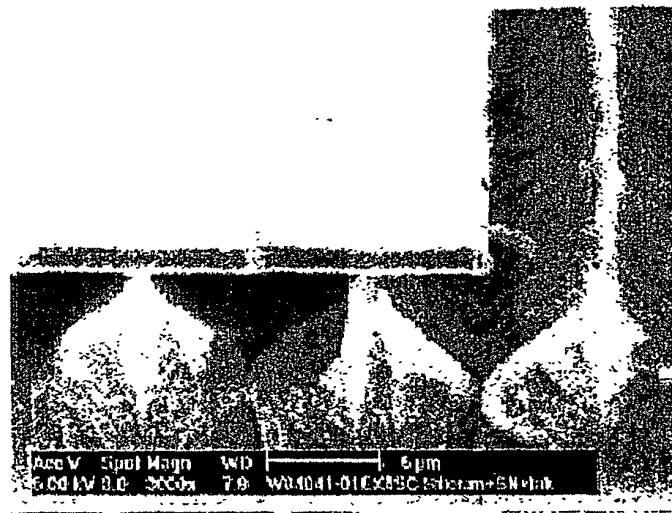


FIG. 8

1/4

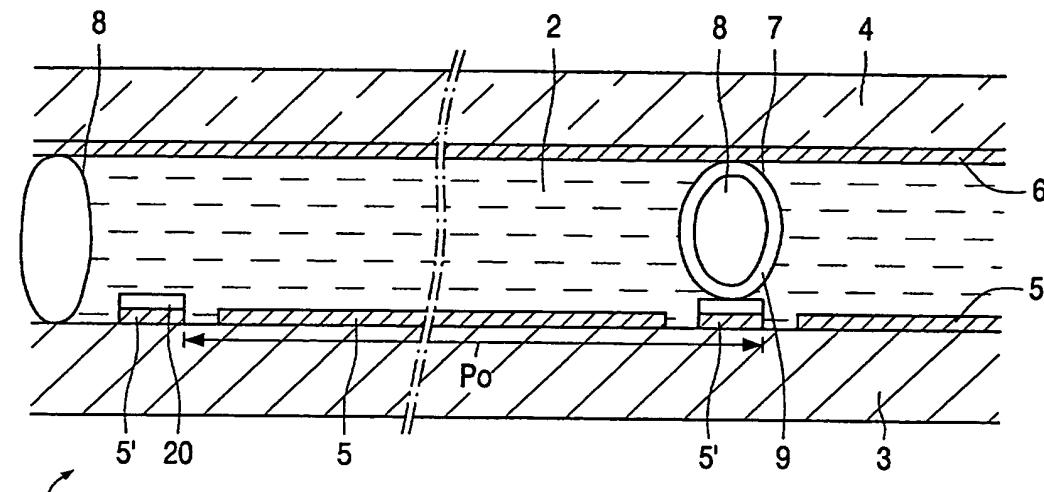


FIG. 1

EPO - DG 1
26.01.2001
(54)

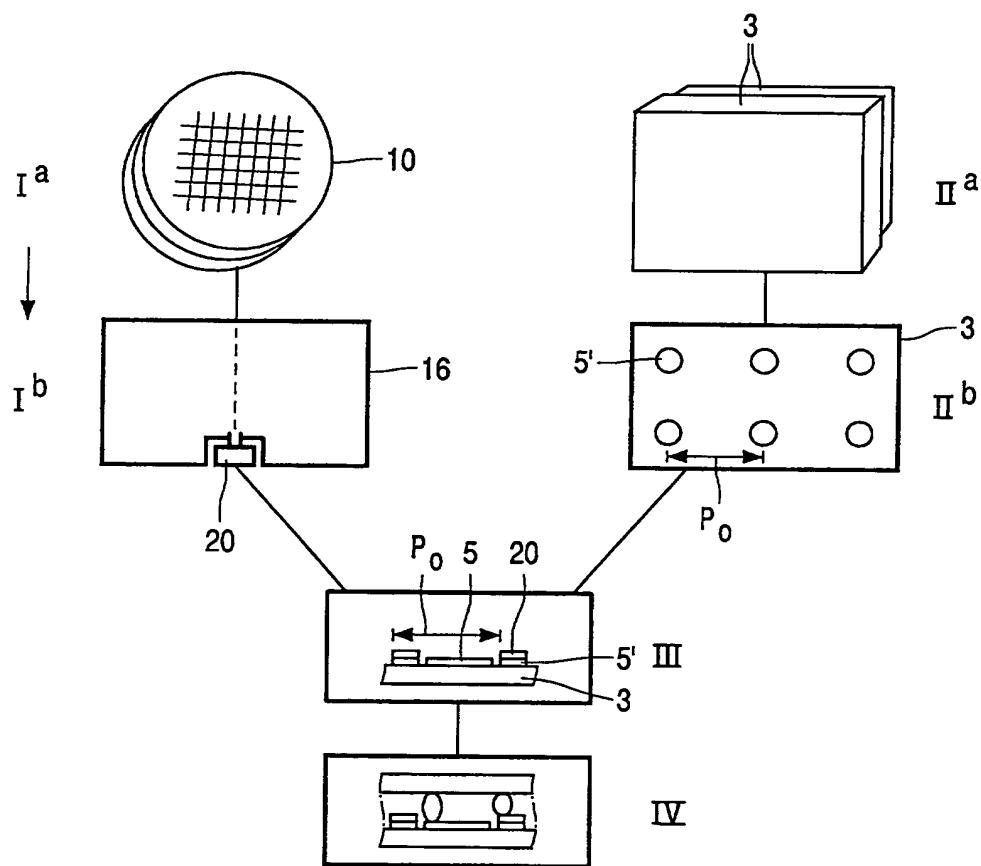


FIG. 2

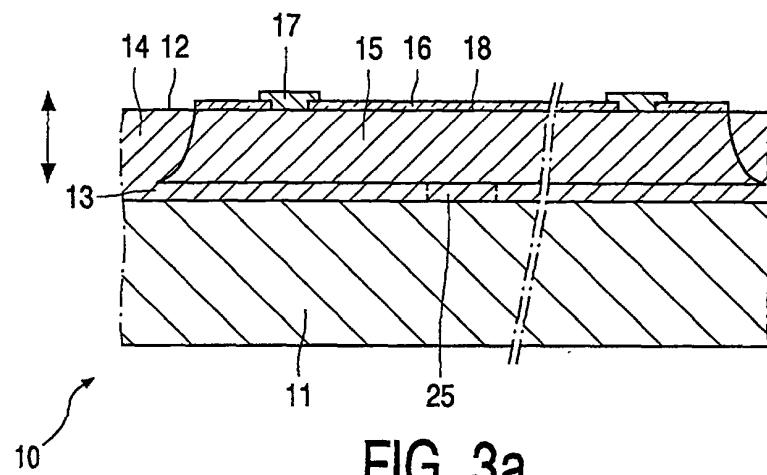


FIG. 3a

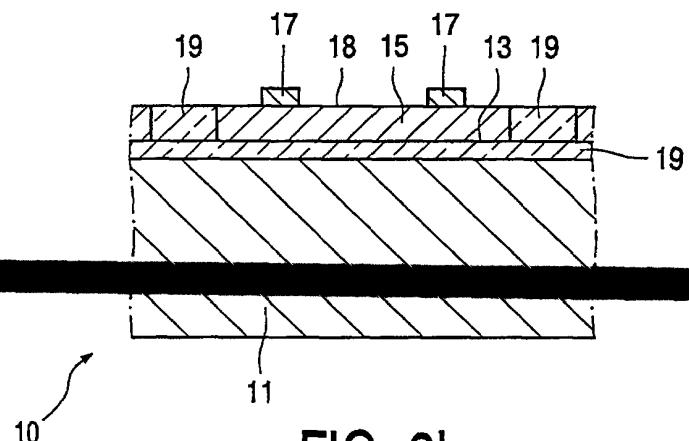


FIG. 3b

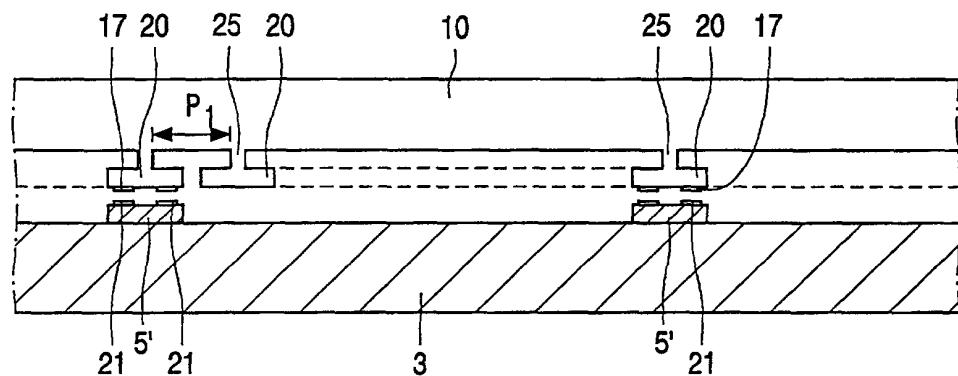


FIG. 4

12. Werkwijze volgens conclusie 11 waarbij althans een deel van de elektrische aansluitcontacten elektrisch geleidend worden verbonden met het geleiderpatroon.

13. Werkwijze voor het vervaardigen van een elektronische inrichting waarbij

- 5 ten minste een substraat wordt voorzien van functionele groepen bevattende ten minste een schakelelement en een halfgeleiderinrichting voor het van aanstuurspanningen voorzien van het schakelelement op het substraat wordt bevestigd, waarbij een halfgeleidersubstraat voorzien wordt van meerdere halfgeleiderinrichtingen die aan hun oppervlak zijn voorzien van elektrische aansluitcontacten,
- 10 de halfgeleiderinrichtingen in een oppervlaktezone van het halfgeleidersubstraat onderling worden gescheiden waarna de halfgeleiderinrichtingen van het halfgeleidersubstraat worden gescheiden waarna het substraat wordt voorzien van een geleiderpatroon en de elektrische aansluitcontacten worden gekoppeld met het geleiderpatroon.,

15

14. Werkwijze volgens conclusie 13 waarbij althans een deel van de elektrische aansluitcontacten elektrisch geleidend worden verbonden met het geleiderpatroon.

15. Werkwijze volgens conclusie 11 of 13 waarbij in ten minste één dimensie de

- 20 halfgeleiderinrichtingen dezelfde steek hebben als de functionele groepen.

ABSTRACT:

IC's (20) are nearly separate from the semiconductor substrate (10) on/in which they are formed. Subsequently, the substrate is positioned upside down on a substrate (carrier) (3), which is provided with glue (21) at the location of a crystal. After attachment of the crystal to the carrier, the semiconductor substrate is removed and the crystal remains

5 attached to the carrier e.g. at the crossing of rows and columns. The separate crystals may contain TFT's (simple AM addressing) but also more complicated electronics (address of pixel in memory + identification)

Fig. 4

10

EPO - DG 1
26. 01. 2001
54

CONCLUSIES:

(54)

1. Werkwijze voor het vervaardigen van een weergeefinrichting waarbij een substraat wordt voorzien van groepen van ten minste een beeldelement en een geleiderpatroon en waarbij een halfgeleiderinrichting voor het van aanstuurspanningen voorzien van het beeldelement op het substraat wordt bevestigd, waarbij
 - 5 een halfgeleidersubstraat voorzien wordt van meerdere halfgeleiderinrichtingen die aan hun oppervlak zijn voorzien van elektrische aansluitcontacten, de halfgeleiderinrichtingen in een oppervlaktezone van het halfgeleidersubstraat onderling worden gescheiden en de elektrische aansluitcontacten worden gekoppeld met het geleiderpatroon, waarna de
 - 10 halfgeleiderinrichtingen van het halfgeleidersubstraat worden gescheiden.
2. Werkwijze volgens conclusie 1 waarbij althans een deel van de elektrische aansluitcontacten elektrisch geleidend worden verbonden met het geleiderpatroon.
- 15 3. Werkwijze voor het vervaardigen van een weergeefinrichting waarbij een substraat wordt voorzien van groepen van ten minste een beeldelement en waarbij een halfgeleiderinrichting voor het van aanstuurspanningen voorzien van het beeldelement op het substraat wordt bevestigd, waarbij
 - 20 een halfgeleidersubstraat voorzien wordt van meerdere halfgeleiderinrichtingen die aan hun oppervlak zijn voorzien van elektrische aansluitcontacten, de halfgeleiderinrichtingen in een oppervlaktezone van het halfgeleidersubstraat onderling worden gescheiden, waarna de halfgeleiderinrichtingen van het halfgeleidersubstraat worden gescheiden, waarna het substraat ten minste ter plaatse van de halfgeleiderinrichtingen wordt voorzien
 - 25 van een geleiderpatroon en de elektrische aansluitcontacten worden gekoppeld met het geleiderpatroon.
4. Werkwijze volgens conclusie 3 waarbij althans een deel van de elektrische aansluitcontacten elektrisch geleidend worden verbonden met het geleiderpatroon.

5. Werkwijze volgens conclusie 1 of 3 waarbij in ten minste één dimensie de halfgeleiderinrichtingen dezelfde steek hebben als de groepen van beeldelementen.

5 6. Werkwijze volgens conclusie 1 of 3 waarbij een halfgeleiderinrichting met meerdere beeldelementen geassocieerd is.

7. Werkwijze volgens conclusie 6 waarbij de halfgeleiderinrichting besturingselektronica voor de beeldelementen bevat

10 8. Werkwijze volgens conclusie 1 of 3 waarbij de halfgeleiderinrichtingen worden gescheiden door middel van een etsbewerking in een oppervlaktegebied van het halfgeleidersubstraat.

15 9. Werkwijze volgens conclusie 1 of 3 waarbij de halfgeleiderinrichtingen worden aangebracht in een halfgeleiderlaag op een isolerende laag (19) en worden gescheiden door middel van een etsbewerking..

10. Werkwijze volgens conclusie 1 of 3 waarbij het substraat flexibel is.

20 11. Werkwijze voor het vervaardigen van een elektronische inrichting waarbij ten minste een substraat wordt voorzien van functionele groepen bevattende ten minste een schakellement,
een halfgeleiderinrichting voor het van aanstuurspanningen voorzien van het schakellement
25 op het substraat wordt bevestigd, waarbij
het substraat wordt voorzien van een geleiderpatroon
een halfgeleidersubstraat voorzien wordt van meerdere halfgeleiderinrichtingen die aan hun oppervlak zijn voorzien van elektrische aansluitcontacten,
de halfgeleiderinrichtingen in een oppervlaktezone van het halfgeleidersubstraat onderling
30 worden gescheiden
en de elektrische aansluitcontacten worden gekoppeld met het geleiderpatroon, waarna de halfgeleiderinrichtingen van het halfgeleidersubstraat worden gescheiden.

adres herkend en 'beeldinformatie opgeslagen, waarna het afhankelijk van eveneens door de lijnen 33, 34 door te geven commando's aan de beeldelementen 35 wordt toegevoerd.

Figuur 8 tenslotte toont een elektronenmicroscopische afbeelding van het halfgeleidersubstraat voor de bevestiging op het substraat (Figuur 2, stap 1^b).

5 De beschermingsomvang van de uitvinding is niet beperkt tot de gegeven uitvoeringsvoorbeelden. Zoals in de inleiding gesteld kunnen de beeldelementen ook worden gevormd door (polymere) LED's, die afzonderlijk of als één geheel kunnen zijn aangebracht, terwijl de uitvinding ook toepasbaar is op andere weergeefinrichtingen, bijvoorbeeld plasma displays, foliedisplays en weergeefinrichtingen, gebaseerd op veldemissie, electro-optische of 10 elektromechanische(schakelbare spiegels) effecten. Waar in de voorbeelden sprake is van een steek in een orthogonaal coördinatensysteem, kan ook plaatsbepaling in een radiaal coördinatensysteem plaatsvinden of in een boomstructuur (fractale structuur). Ook kan, zoals reeds gesteld, de steek variabel zijn. Dit maakt bijvoorbeeld de vervaardiging van cirkel- of ellipsvormige weergeefinrichtingen mogelijk.

15 In de voorbeelden was spraken van het direct elektrisch contacteren van de IC's op reeds aanwezige metallisatiepatronen 5'. Omdat de losgetilde IC's en kleine dikte hebben kunnen deze ook direct op het substraat 3 worden aangebracht, waarbij via een etsmethode doorheen de lagen 15 openingen worden geëetst die gemailleerd worden. De contactmetallisaties lopen dan over de IC's heen en maken (bijvoorbeeld via contactgaten in 20 een isolerende laag) contact met doorgemailleerde verbindingen naar de contactmetallisaties 17.

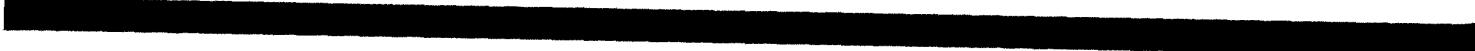
Ook hoeven de genoemde contacteringen niet elektrisch geleidend te zijn. In bepaalde toepassingen kan het nuttig zijn een capacitieve koppeling aan te brengen tussen de contactmetallisaties 17 en het metallisatiepatronen 5', bijvoorbeeld door een van beide te 25 voorzien van een dunne isolerend laag.

Zoals eveneens in de inleiding gesteld is de werkwijze niet beperkt tot weergeefinrichtingen. Met name is de uitvinding toepasbaar op elektronische inrichtingen (sensoren) waarbij het substraat wordt voorzien van functionele groepen.

Ook kunnen, zoals gesteld flexibele substraten (kunstof, plastic) worden 30 toegepast (wearable displays, wearable electronics).

De uitvinding is gelegen in elk nieuw kenmerk en elke combinatie van kenmerken. Verwijzingscijfers in de conclusie beperken niet de beschermingomvang daarvan. Gebruik van het woord "omvatten" ("comprise") sluit niet uit de aanwezigheid van elementen anders dan vermeld in de conclusies. Gebruik van het woord "een" (Engels "a" of

"an") voorafgaand aan een element sluit niet uit de aanwezigheid van een veelheid van dergelijke elementen.



eveneens door gemaskeerd doteren (voor of na het aanbrengen van de isolerende laag 16) een n-type gebied 14 (dotering ca. 10^{17} atomen /cm³) aangebracht.

Figuur 3B toont een variant op Figuur 3A, waarbij de transistoren, elektronische schakelingen of andere functionele eenheden gerealiseerd zijn in zogeheten 5 SOI-technologie, waarbij het dunne oppervlaktegebied 15 is ingebed in een isolerende laag 19. In het voorbeeld van Figuur 3B zijn de contactmetallisaties 17 direct aangebracht op contactgebieden van de transistoren van de halfgeleiderinrichtingen.

Vervolgens worden de n-type gebieden 14 via een masker aan een 10 etsbewerking met HF (onder invloed van een elektrisch veld) onderworpen. Hierbij wordt het zwaar gedoteerde n-type gebied 14 isotroop geëtst evenals de onderliggende n-type epitaxiale 15 laag 13. De n-type epitaxiale laag 15 met lichte dotering wordt echter anisotroop geëtst zodat, na zekere tijd, in deze laag alleen een klein gebied 25 resteert (zie Figuur 2, stap I^b Figuur 3).

De transistoren, elektronische schakelingen (IC's) of andere functionele 15 eenheden bevinden zich echter nog steeds op hun oorspronkelijke gedefinieerde positie. Veelal zal een regelmatig patroon van dergelijke eenheden zijn vervaardigd op een vaste steek.

Voorafgaand aan, tegelijkertijd of daarna worden substraten 3 van de 20 weergeefinrichting voorzien van metallisatiepatronen, die (eveneens op gedefinieerde posities) een of meer elektrodes 5' bevatten (Figuur 2, stappen II^a, II^b). In dit voorbeeld hebben de delen 5' van de metallisatiepatronen op het substraat 3 dezelfde ordening (dezelfde steek in verschillende richtingen) als de elektronische schakelingen (IC's) 20 in de halfgeleiderplak 10.

In een volgende stap wordt de halfgeleiderplak 10 omgekeerd <turned upside-down>, waarbij de metallisatiepatronen 5' op het substraat 3 nauwkeurig worden uitgericht ten opzichte van de elektronische schakelingen (IC's) 20 in de halfgeleiderplak 10 (Figuur 4), waarna elektrisch contact wordt gerealiseerd tussen metallisatiepatronen 5' en de contactmetallisaties 17. Hiertoe wordt bijvoorbeeld gebruik gemaakt van geleidende lijm 21 of anisotroop geleidende contacten op de elektroden 5'. De elektronische schakelingen 30 (IC's) 20 worden van de halfgeleiderplak 10 losgemaakt door middel van trillen of anderszins. Hiermee is een substraat 3 verkregen voorzien van beeldelektroden 5 en IC's 20 die zowel ten opzichte van de beeldelektroden 5 en ondeling zeer nauwkeurig uitgericht zijn (stap III in Figuur 2). Bovendien wordt de vermindering van aperture uitsluitend bepaald door de afmeting van de IC's (of transistoren).

Ook bij het gebruik van SOI-technologie kan met een HF – ets of andere, in de halfgeleidertechnologie gebruikelijk methoden een eerste scheiding worden aangebracht tussen de diverse elektronische schakelingen (IC's) 20, die vervolgens eveneens door middel van trillen of anderszins van het substraat worden losgemaakt.

5 Niet alle IC's (transistoren) van het substraat 10 worden bij deze stap van het substraat losgemaakt, omdat de steek p_0 van de metallisatiepatronen 5' doorgaans veel groter is dan de steek p_1 en steek p_2 van de IC's 20. Dit wordt nader verklaard aan de hand van Figuur 5. Indien het substraat 3 een grootte heeft in de orde van (of kleiner dan) het gebied, dat door het schematisch aangegeven blok 22 van losmaakbare <detachable> IC's

10 (transistoren), worden alleen de IC's 23 (in Figuur 5 zwart) losgemaakt en op het substraat aangebracht.

Indien het substraat 3 groter is dan het schematisch aangegeven blok 22 van losmaakbare <detachable> IC's, worden eerst de IC's 23 (in Figuur 5 zwart getekend) losgemaakt en op het substraat 10 op het deel 26 (zie Figuur 6) aangebracht. Daarna worden 15 de naastgelegen IC's 24 (zie Figuur 5) losgemaakt en op het substraat 10 op het deel 27 aangebracht. Op dezelfde wijze worden IC's 20 op de delen 28, 29 aangebracht.

De weergeefinrichting 1 wordt vervolgens op algemeen gebruikelijke manier ~~uiteindelijk een zenuwachtig oriëntatielagen aan te brengen die het vloeibaar kristal materiaal aan de~~ binnewanden van de substraten oriënteren. Tussen de substraten 3,4 worden op gebruikelijke wijze spacers 7 aangebracht, alsmede een afsluitrand <sealing rim> 8, die op gebruikelijke wijze van een vulopening is voorzien, waarna in dit voorbeeld de inrichting wordt gevuld met LC-materiaal (stap IV in Figuur 2).

Doordat in de halfgeleiderinrichtingen (IC's) 20 vooraf worden vervaardigd kunnen daarin uitgebreidere elektronische functies worden gerealiseerd dan in de gebruikelijke 25 polysilicium technologie. Met name bij gebruik van monokristallijn silicium is het mogelijk functies te realiseren die een ander soort architectuur van de weergeefinrichting mogelijk maken dan de gebruikelijke matrix structuur. Een dergelijke inrichting 30 wordt getoond in Figuur 7, waarin een weergeefinrichting met een busstructuur wordt weergegeven. De IC's (halfgeleiderinrichtingen) 20 zijn via verbindingsslijnen 31,32 met een voedingsspanning 30 verbonden (in dit voorbeeld is lijn 31 met aarde verbonden), terwijl de lijnen 33, 34 informatie en bijvoorbeeld een kloksignaal verzorgen. Doordat, zoals boven beschreven de locatie van een aan te brengen IC vooraf bekend is kan dit vooraf (tijdens de IC-processing of via e-PROM technieken) bijvoorbeeld van een adresregister worden voorzien en een of meer data registers. Voor bepaalde IC's (en bijbehorende (groepen) beeldelementen 35) wordt door de IC's het

(spacer) ter plaatse van een IC heeft niet of nauwelijks invloed op effectieve dikte van de vloeistoflaag en daarmee op de werking van de weergeefinrichting, zeker als spacers met een elastische omhulling worden gekozen.

Een verder voordeel is dat de IC's nu ter plaatse van de beeldelementen 5 besturingselektronica kunnen bevatten. Dit geeft een grote ontwerp vrijheid.

De halfgeleiderinrichtingen worden bijvoorbeeld gescheiden door middel van een etsbewerking in een oppervlaktegebied van het halfgeleidersubstraat. In een alternatieve werkwijze worden de halfgeleiderinrichtingen aangebracht in een halfgeleiderlaag op een isolerende laag (SOI-technologie) en gescheiden door middel van een etsbewerking in deze 10 halfgeleiderlaag, waarvan de dikte typisch 0,2 micrometer bedraagt. Het gevolg hiervan is dat deze halfgeleiderinrichtingen in de voltooide weergeefinrichting een verwaarloosbare dikte (minder dan 1 micrometer) bezitten, ten opzichte van de effectieve dikte van de vloeistoflaag doen zich de genoemde dikte-gevoelige effecten niet voor, ook niet bij de aanwezigheid van een afstandselement (spacer) ter plaatse van een IC. Bovendien worden de 15 IC's nu zonder extra voorzorgsmaatregelen met grote nauwkeurigheid geplaatst. De contactoppervlakken kunnen nu aanzienlijk kleiner zijn, hetgeen minder IC-oppervlak kost.

Deze en andere aspecten van de uitvinding zullen thans nader worden 20 toegelicht aan de hand van enkele uitvoeringsvoorbeelden en de tekening, waarin Figuur 1 een schematische doorsnede van een deel van een weergeefinrichting volgens de uitvinding toont,

Figuur 2 schematisch een flow-diagram toont van de werkwijze, de Figuren 3 en 4 schematisch stappen tijdens de vervaardiging van de 25 weergeefinrichting van Figuur 1 tonen,

de Figuren 5 en 6 schematisch het halfgeleidersubstraat en het substraat van de weergeefinrichting tijdens de vervaardiging van de weergeefinrichting van Figuur 1 tonen, terwijl

Figuur 7 een elektrisch equivalent van een mogelijke uitvoeringsvorm van 30 een weergeefinrichting volgens de uitvinding toont en

Figuur 8 een elektronenmicroscopische afbeelding toont van het halfgeleidersubstraat voor de bevestiging op het substraat van de weergeefinrichting.

De Figuren zijn schematisch en niet op schaal getekend. Overeenkomstige elementen zijn doorgaans met dezelfde verwijzingscijfers aangeduid.

Figuur 1 toont schematisch een dwarsdoorsnede van een gedeelte van een lichtmodulerende cel 1 met een vloeibaar kristal materiaal 2 dat zich tussen twee substraten 3,4 van bijvoorbeeld glas of kunststof, voorzien van (ITO of metaal) elektroden 5,6, bevindt. Delen 5 van de elektrodepatronen definiëren, samen met een tussenliggend electro-optische laag beeldelementen. De inrichting bevat zonodig niet getoonde orientatielagen die het vloeibaar kristal materiaal aan de binnewanden van de substraten oriënteren. Het vloeibaar kristal materiaal kan een (getwist) nematisch materiaal zijn met bijvoorbeeld een positieve optische 10 anisotropie en positieve dielectrische anisotropie, maar ook kan gebruik gemaakt worden van het STN -effect, een bistabiel effect, het chiraal nematisch effect, of het PDLC-effect. De substraten 3,4 worden op gebruikelijke wijze op afstand gehouden met behulp van spacers 7, terwijl de cel wordt afgesloten met een afsluitrand <sealing rim> 8, die op gebruikelijke wijze van een vulopening is voorzien. Een typische dikte voor de laag vloeibaar kristal materiaal 2 is 15 bijvoorbeeld 5 micrometer. De elektroden 5, 5' bezitten een typische dikte van 0,2 micrometer, terwijl ook de diktes van de halfgeleiderinrichtingen (IC's) 20 in dit voorbeeld ca. 0,2 micrometer bedragen. In Figuur 1 is een spacer 7 ter plaatse van een elektrode 5' en IC 20 getekend. De gezamenlijke dikte van elektrode en IC 20 is praktisch verwaarloosbaar ten 20 opzichte van de dikte van de laag vloeibaar kristal materiaal 2. De aanwezigheid van de spacer 7 heeft niet of nauwelijks invloed op de opto-elektrische eigenschappen van de weergeefinrichting, met name als spacers met een harde kern 8 en een elastische omhulling 9 ter dikte van ca. 0,2 micrometer worden gekozen.

Voor het vervaardigen van de halfgeleiderinrichtingen (transistoren of IC's) 20 wordt gebruik gemaakt van algemeen gebruikelijke technieken. Uitgegaan wordt van een 25 halfgeleiderplak 10 (zie Figuur 2, stap I^a, Figuur 3), bij voorkeur silicium, met een p-type substraat 11, waarop een n-type epitaxiale laag 15 met lichte dotering (10^{14} atomen /cm³) is aangegeerd. Daaraan voorafgaand wordt door epitaxiale groei of diffusie een zwaarder gedoteerde n-type 13 (dotering ca. 10^{17} atomen /cm³) aangebracht. In de epitaxiale laag 15 worden door verder bewerkingsstappen (implantatie, diffusie etc.) transistoren, elektronische 30 schakelingen of andere functionele eenheden gerealiseerd. Na voltooiing wordt het oppervlak in het voorbeeld van Figuur 3A bedekt met een isolerende laag zoals siliciumoxide. Via contactgaten in de isolerende laag worden met in de halfgeleidertechnologie gebruikelijke technieken contactmetallisaties 17 aangebracht. Tussen de transistoren, elektronische schakelingen (IC's) of andere functionele eenheden wordt

Werkwijze voor het vervaardigen van een weergeefinrichting

EPO - DG 1

26. 01. 2001

(54)

De uitvinding betreft een werkwijze voor het vervaardigen van een weergeefinrichting waarbij een substraat wordt voorzien van groepen van ten minste een beeldelement en een geleiderpatroon en waarbij een halfgeleiderinrichting voor het van aanstuurspanningen voorzien van het beeldelement op het substraat wordt bevestigd.

5 Voorbeelden van een dergelijke zogeheten actieve matrix weergeefinrichting zijn bijvoorbeeld de TFT-LCD's of AM-LCD's die gebruikt worden in laptop computers en in "organizers", maar ook vinden deze steeds meer toepassing in GSM-telefoons. In plaats van LCD's kunnen ook bijvoorbeeld (polymere) LED weergeefinrichtingen worden gebruikt.

10 Meer algemeen betreft de uitvinding een werkwijze voor het vervaardigen van een elektronische inrichting waarbij ten minste een substraat wordt voorzien van functionele groepen bevattende ten minste een schakellement en een halfgeleiderinrichting voor het van aanstuurspanningen voorzien van het schakellement op het substraat wordt bevestigd.

15

In het artikel "Flexible Displays with Fully Integrated Electronics", SID Int. Display Conf., sept. 2000, pag. 415 –418, wordt een proces beschreven waarin specifiek gevormde halfgeleiderinrichtingen in een vloeistof suspensie over een substraat worden gevoerd en in overeenkomstig gevormde "gaten" of verdiepingen in het substraat terechtkomen. De halfgeleiderinrichtingen zijn IC's die via standaardtechnieken zijn vervaardigd. Na het aanbrengen van de IC's worden verbindingen met beeldelementen tot stand gebracht.

Een probleem dat hierbij optreedt is het feit voor het aanbrengen van de IC's 25 aanzienlijke toleranties in acht genomen moeten worden. Niet alleen moeten de halfgeleiderinrichtingen (IC's) als het ware in de verdiepingen glijden, maar ook hebben de IC's een zekere dikte (ca. 50 micrometer). Afhankelijk van variaties in de dikte, zeker als niet alle IC's van één zelfde plak afkomstig zijn, en variaties over de oppervlakte van het substraat in de diepte van de "gaten" of verdiepingen zal een variatie optreden in de dikte van

de op het substraat aangebrachte electro-optische laag, die meerdere micrometers kan bedragen. Met name als dikte-gevoelige effecten, zoals bijvoorbeeld het (S)TN effect, worden gebruikt leidt dit tot ongewenste verkleuring en niet-uniform schakelgedrag.

Ook moet rekening gehouden worden met onnauwkeurigheden tijdens het plaatsen van de IC's. Bij het "in de verdiepingen glijden" kan een IC op een willekeurige plaats binnen de verdieping zijn uiteindelijke bestemming vinden. De verdiepingen nemen daardoor een veel grotere ruimte in dan de halfgeleiderinrichtingen (IC's), hetgeen met name in transparante weergeefinrichtingen ten koste gaat van de aperture. Ook moeten, om bij deze onnauwkeurige plaatsing de IC's goed te kunnen contacteren, deze IC's van grote contactoppervlakken worden voorzien, hetgeen ten koste gaat van IC-oppervlak en de getoonde technologie erg duur maakt.

Een verder probleem is de variatie in dikte van de halfgeleiderinrichtingen (IC's) gerelateerd aan de variatie in diepte van de verdiepingen, waardoor in het uiteindelijke oppervlak (het gemeenschappelijk oppervlak van het substraat) lokale diktevariaties optreden. Geleidersporen die in de getoonde inrichting over de ingebedde <embedded> halfgeleiderinrichtingen (IC's) lopen, lopen daardoor een grote kans op breuk.

Om hierin te voorzien wordt volgens de onderhavige uitvinding een

halfgeleidersubstraat voorzien van meerdere halfgeleiderinrichtingen die aan hun oppervlak zijn voorzien van elektrische aansluitcontacten, waarbij de halfgeleiderinrichtingen in een oppervlaktezone van het halfgeleidersubstraat onderling worden gescheiden en de elektrische aansluitcontacten elektrisch geleidend worden verbonden met het geleiderpatroon, waarna de halfgeleiderinrichtingen van het halfgeleidersubstraat worden gescheiden.

Omdat de halfgeleiderinrichtingen (IC's) tijdens de bevestiging op het substraat nog net zo ten opzichte van elkaar zijn gesitueerd als op het halfgeleidersubstraat worden de IC's met een zeer nauwkeurige steek aangebracht. Dit kan in één richting een constante steek zijn, zoals bij matrixvormige configuraties van de beeldelementen. Anderzijds kan de steek variabel zijn.

Bovendien kunnen door deze wijze van bevestigen alleen delen van het oppervlaktegebied van het halfgeleidersubstraat, waarin de actieve elementen zijn gerealiseerd, op het substraat van de weergeefinrichting worden aangebracht. Aangezien deze delen een verwaarloosbare dikte (minder dan 1 micrometer) bezitten, doen zich de genoemde dikte-gevoelige effecten ook niet voor. Zelfs de aanwezigheid van een afstandselement



Blatt 2 d r Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.: **01200302.6**
Demande n°:

Anmeldetag:
Date of filing: **26/01/01**
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
Koninklijke Philips Electronics N.V.
5621 BA Eindhoven
NETHERLANDS

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:
NO TITLE

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat: Tag: Aktenzeichen:
State: Date: File no.
Pays: Date: Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

/

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

See for original title of the application
page 1 of the description.





Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

J1017 U.S. PTO
10/052342



01/16/02

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

01200302.6

Der Präsident des Europäischen Patentamts;
im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN
THE HAGUE, 04/10/01
LA HAYE, LE

